

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-228105

(43)Date of publication of application : 03.09.1996

(51)Int.Cl.

H01P 3/08

C03C 17/06

C04B 38/00

H01B 3/00

H05K 1/02

H05K 1/03

(21)Application number : 07-032269

(71)Applicant : SUMITOMO ELECTRIC IND LTD

(22)Date of filing : 21.02.1995

(72)Inventor : GOTO TOMOJI

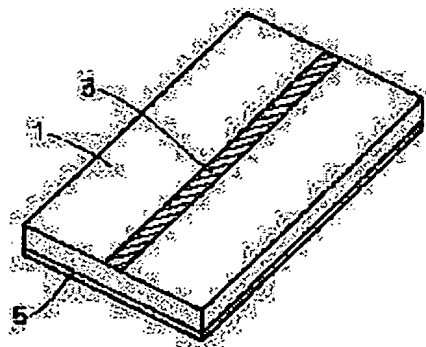
YAMANAKA SEISAKU

(54) MICROSTRIP SUBSTRATE

(57)Abstract:

PURPOSE: To provide the microstrip substrate with improves heat resistance, can reduce the transmission loss of high frequency and is provided with high strength.

CONSTITUTION: This microstrip substrate is provided with a substrate 1, microstrip line 3 and base layer 5. The substrate 1 is equipped with a ceramics porous body whose porosity is higher than 50%. The microstrip line 3 is formed on the surface of the substrate 1. The base layer 5 is formed on the rear face of the substrate 1 and composed of a kovar plate, for example.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-228105

(43) 公開日 平成8年(1996)9月3日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 P 3/08			H 0 1 P 3/08	
C 0 3 C 17/06			C 0 3 C 17/06	Z
C 0 4 B 38/00	3 0 3		C 0 4 B 38/00	3 0 3 Z
H 0 1 B 3/00			H 0 1 B 3/00	G
H 0 5 K 1/02			H 0 5 K 1/02	J

審査請求 未請求 請求項の数 5 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願平7-32269

(22) 出願日 平成7年(1995)2月21日

(71) 出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(72) 発明者 後藤 智司

兵庫県伊丹市尾陽北一丁目1番1号 住友

電気工業株式会社伊丹製作所内

(72) 発明者 山中 正策

兵庫県伊丹市尾陽北一丁目1番1号 住友

電気工業株式会社伊丹製作所内

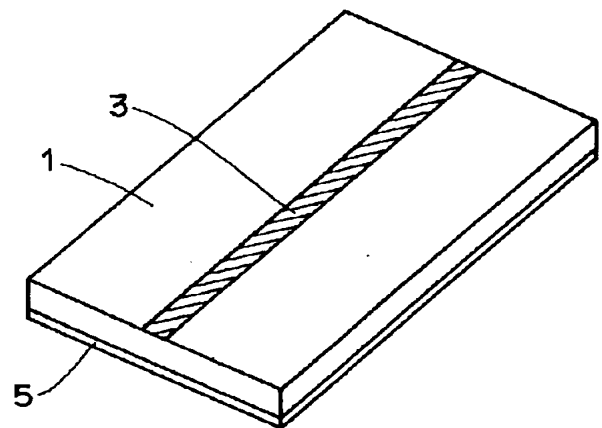
(74) 代理人 弁理士 深見 久郎 (外2名)

(54) 【発明の名称】 マイクロストリップ基板

(57) 【要約】

【目的】 耐熱性に優れ、高周波の伝送損失を低減でき、かつ高い強度を有するマイクロストリップ基板を提供する。

【構成】 マイクロストリップ基板は、基板1とマイクロストリップライン3とベース層5とを有している。基板1は、気孔率50%以上のセラミックス多孔体を含んでいる。マイクロストリップライン3は、基板1の表面に形成されている。ベース層5は、基板1の裏面に形成されており、たとえばコパール板よりなっている。



1: 基板

3: マイクロストリップライン

5: ベース層

【特許請求の範囲】

【請求項1】 気孔率50%以上のセラミックス多孔体を含む基板と、
前記基板の表面に形成された導体よりなるマイクロストリップラインと、
前記基板の裏面に形成された金属板およびメタライズ層の少なくともいずれかを含むベース層とを備えた、マイクロストリップ基板。

【請求項2】 前記セラミックス多孔体がエアロゲルを含む、請求項1に記載のマイクロストリップ基板。

【請求項3】 前記ベース層は、
ガラス基板と、前記ガラス基板の表面に形成された前記メタライズ層と、前記ガラス基板の裏面に形成された第2のメタライズ層とを有し、
前記メタライズ層が前記基板の裏面に接するように配置されている、請求項1に記載のマイクロストリップ基板。

【請求項4】 前記セラミックス多孔体の気孔率は90%以下である、請求項1に記載のマイクロストリップ基板。

【請求項5】 前記セラミックス多孔体は、 SiO_2 、 Si_3N_4 、 Al_2O_3 、 AlN および MgO からなる群より選ばれた少なくとも1種を含むセラミックスから形成される、請求項1に記載のマイクロストリップ基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、50MHz以上、特に1GHz以上の高い周波数の導波路を形成するために用いられるマイクロストリップ基板に関し、より特定には基板の表面に導体よりなるマイクロストリップラインが形成されたマイクロストリップ基板に関するものである。

【0002】

【従来の技術および発明が解決しようとする課題】従来の高周波回路基板としては、たとえば、倉石源三郎著、「詳解 例題・演習マイクロ波回路」1983年東京電機大学出版局発行や、特開平6-244298号公報に示されるように、パッケージと集積回路(IC)を接続するための中継基板や、基板上にICや抵抗、コンデンサなどを実装したハイブリッドIC用基板として誘電体基板が用いられている。このような用途の誘電体基板の材料としては、アルミナ(Al_2O_3)、ガラス、エポキシ樹脂等が用いられている。

【0003】このような材料の中でマイクロ波やミリ波などの高い周波数域の用途では、基板の材料としては、ほとんどアルミナが採用されている。アルミナが採用される理由としては以下の点が挙げられる。

【0004】(i) ガラスや、エポキシ樹脂等の樹脂系材料は、アルミナに比べて低い比誘電率を示すが、2

50℃程度の耐熱性しか示さない。そのため、一般的にマイクロ波用ICを接合するために用いられるろう材としてのAu-Sn合金の接合温度(320℃程度)に耐えることができない。

【0005】(ii) 有機系材料からなる基板を用いると、誘電正接($\tan \delta$)がセラミックス系の材料に比べて10~100倍であるため、伝送損失が大きくなる。

【0006】また、特にコンピュータ用マザーボードの伝搬遅延時間を減少させるために、種々の誘電体基板を採用する試みがなされている。その基板材料は、従来のセラミックス(アルミナ)にガラスや樹脂等の比誘電率の低い材料を混合したものである。

【0007】しかしながら、ガラスを混合する場合、その比誘電率が4~5、最低でも3.5であるため、伝搬遅延時間を減少させるために基板の比誘電率を低くするには限界があった。また、樹脂系の材料を混合する場合、主材料としてのアルミナが有する耐熱性を低下させるという問題があった。

【0008】さらに、特開平3-93301号公報や特開平5-182518号公報で開示されている例によれば、多孔質のプラスチックやポリマ樹脂という有機系の材料が誘電体基板の材料として用いられている。しかしながら、このような材料を用いることにより、信号伝達遅延時間などの伝送損失を低減するために基板の比誘電率を低くすることができたとしても、ICチップ等を接合するための耐熱性を備えることはできない。

【0009】また、特開昭64-33946号公報には、多孔質のガラス構造体中にフッ素樹脂を充填し、複合化した構造を有する低い比誘電率を有する回路基板が開示されている。しかしながら、このような材料を用いて基板の比誘電率を低下させることができて、樹脂系の材料をガラスに混合する限りにおいて耐熱性が低下するという問題があった。

【0010】特開平6-37453号公報では、比誘電率を下げるために多孔質体からなるAlNセラミックスからなる回路基板を製造する例が示されている。しかしながら、この公報に開示された方法によれば、その多孔質体からなるAlN基板の比誘電率は6.5程度にまでしか下げられていない。ガラスの比誘電率(最低で3.5)よりも小さい多孔質体からなるセラミックス基板は、上記公報の技術によって得られていない。

【0011】さらに、上述の公報において種々の材料からなる基板の例が示されているが、マイクロ波集積回路基板、特に平面形導波路としてのマイクロストリップ線路におけるマイクロ波の伝送損失を低減させるための手法については何ら開示も示唆もなされていない。したがって、上述のいずれの公報の開示内容を考慮しても、マイクロ波集積回路用誘電体基板の材料については何ら示されていないものと言える。

【0012】ところで、従来から、マイクロ波やミリ波等の高い周波数域でアルミナからなる誘電体基板が用いられているが、アルミナはその比誘電率が約9~10と非常に大きいため、以下の問題がある。

【0013】(a) 比誘電率が1の空気と接する回路基板の部分において比誘電率の差が大きいため、電磁波の不要モードが発生し、伝送損失を生じる。

【0014】(b) ミリ波等の高い周波数域では、導波管よりも小型化可能な誘電体導波路が集積回路の基本要素として使用される。誘電体導波路には多くの種類があるが、集積化に適した平面構造の基本型として、マイクロストリップ線路が採用される。

【0015】このようなマイクロストリップ線路では、ストリップ導体が隣接して誘電体基板の上に形成された場合、隣接導体間の結合容量が大きくなり、相互干渉を

$$\alpha = \frac{1 + 1/\epsilon_r}{2}, \frac{\Delta W}{t} = \frac{1}{\pi} \left[1 + \ln \frac{4}{\sqrt{\left(\frac{t}{h}\right)^2 + \left\{ \frac{1}{\pi \left(\frac{W}{t} + 1.1\right)} \right\}^2}} \right]$$

$$W' = W + \alpha \Delta W, b = \left(\frac{14 + 8/\epsilon_r}{11} \right) \left(\frac{4h}{W'} \right)$$

$$Z_0 = \frac{42.4}{\sqrt{\epsilon_r + 1}} \ln \left\{ 1 + \left(\frac{4h}{W'} \right) \left(b + \sqrt{b^2 + \alpha \pi^2} \right) \right\}$$

【0019】ここで、 ϵ_r は基板の比誘電率、 W は線路導体（ストリップ導体）の幅、 t は線路導体の厚み、 h は誘電体基板の厚みを示す。

【0020】(d) マイクロストリップ線路における伝送損失、具体的には減衰定数 α は、上記の文献の第189頁によれば、以下の式で与えられる。

【0021】

【数2】

$$\alpha = \frac{72K}{WZ_0} \sqrt{\frac{f}{\sigma_T}} + 91f \sqrt{\epsilon_{eff}} \frac{1 - (1/\epsilon_{eff})}{1 - (1/\epsilon_r)} \tan \delta [dB/m]$$

【0022】ここで、 ϵ_{eff} は線路の実効比誘電率、 ϵ_r は誘電体基板の比誘電率、 $\tan \delta$ は誘電正接、 σ_T は導体の比導電率（国際標準軟銅（ $\sigma = 5.8 \times 10^7$ [s/m]）を1とした導体の比導電率）、 K はストリップ線路の断面構造と周波数によって決定される係数を示す。

【0023】上の式から明らかなように、伝送損失、すなわち減衰定数 α は比誘電率 ϵ_r 、誘電正接 $\tan \delta$ 、周波数 f に比例して増大する。このことから、ミリ波のような高い周波数域では、伝送損失を低減するためには、比誘電率のできるだけ小さい材料が基板材料として選ばれる必要がある。しかしながら、アルミナは、その比誘電率が9~10と大きいため、伝送損失が大きくなる。

起こしやすいという問題がある。

【0016】(c) またマイクロストリップ線路において特性インピーダンスを50Ωに設定しようとする、誘電体基板の厚みとストリップ導体の線幅を1対1に設定する必要がある。そのため、薄い膜厚の誘電体基板を用いた場合、ストリップ導体の線幅が細くなってしまふ。その結果、そのストリップ線路における伝送損失が大きくなると同時に、線幅の精度が特性インピーダンスの変動に与える影響が大きという問題がある。

【0017】なお、特性インピーダンス Z_0 は、上記の「詳解 例題・演習マイクロ波回路」第187頁によれば、以下の式で計算され得る。

【0018】

【数1】

【0024】また、組立時のハンドリングなどを考慮すると、マイクロストリップ基板の強度は一定値以上であることが必要である。

【0025】それゆえ、本発明の目的は、耐熱性に優れ、高周波の伝送損失を低減でき、かつ高い強度を有するマイクロストリップ基板を提供することである。

【0026】

【課題を解決するための手段】請求項1に記載のマイクロストリップ基板は、基板と、マイクロストリップラインと、ベース層とを備えている。基板は、気孔率50%以上のセラミックス多孔体を含んでいる。マイクロストリップラインは、基板の表面に形成された導体よりなっている。ベース層は、基板の裏面に形成された金属板およびメタライズ層の少なくともいずれかを含んでいる。

【0027】請求項2に記載のマイクロストリップ基板では、セラミックス多孔体がエアロゲルを含んでいる。

【0028】請求項3に記載のマイクロストリップ基板では、ベース層は、ガラス基板と、ガラス基板の表面に形成されたメタライズ層と、ガラス基板の裏面に形成された第2のメタライズ層とを有している。またベース層は、メタライズ層が基板の表面に接するように配置されている。

【0029】請求項4に記載のマイクロストリップ基板では、セラミックス多孔体の気孔率は90%以下であ

る。

【0030】請求項5に記載のマイクロストリップ基板では、セラミックス多孔体は、 SiO_2 、 Si_3N_4 、 Al_2O_3 、 AlN および MgO からなる群より選ばれた少なくとも1種を含むセラミックスから形成されている。

【0031】

【作用】請求項1〜3に記載のマイクロストリップ基板では、基板にセラミックス多孔体が用いられている。これにより、500℃以上の耐熱性を有する基板を提供することができる。また、セラミックス多孔体の気孔率を制御することにより、従来のガラス(SiO_2)の比誘電率よりも小さい比誘電率を有する基板を実現すること

気孔率 A ϵ_r	0.05	0.1	0.2	0.3	0.4	0.5	0.6	0.7	0.8	0.9
Al ₂ O ₃ (10)	9	7.9	6.3	5.1	4	3.2	2.5	1.9	1.6	1.2
Si ₃ N ₄ (7)	6.4	5.8	4.7	3.9	3.2	2.6	2.2	1.8	1.5	1.2
SiO ₂ (3.5)	3.3	3.1	2.7	2.4	2.1	1.9	1.7	1.5	1.3	1.1

【0035】また、基板の裏面にベース層が設けられているため、このベース層によって、基板の強度を大きく補強することができる。それゆえ、多孔体のごとき強度の低い材料であっても、ベース層を設けることにより組立時のハンドリングに必要な一定の強度を確保することが可能となる。

【0036】請求項4に記載のマイクロストリップ基板では、セラミックス多孔体の気孔率は90%以下である。気孔率が90%を超えると、誘電体基板の表面に存在する気孔によって、その表面上に導体としてのメタライズ層を形成することが困難になるからである。

【0037】請求項5に記載のマイクロストリップ基板では、基板材料であるセラミックス多孔体の材料として、 SiO_2 、 Si_3N_4 、 Al_2O_3 、 AlN 、 MgO の材料が選ばれる。この材料の選択は、機械的強度、誘電正接($\tan \delta$)、耐熱性の観点からなされる。また基板を構成するセラミックスは、上記の中から2種以上の材料を複合することによって形成されてもよい。

【0038】

【実施例】以下、本発明の実施例を図に基づいて説明する。

【0039】実施例1

図1、図2および図3は、本発明の実施例1におけるマイクロストリップ基板の構成を概略的に示す斜視図、平面図および側面図である。図1〜図3を参照して、マイクロストリップ基板は、基板1と、マイクロストリップライン3と、ベース層5とを有している。基板1の表面には、直線状にマイクロストリップライン3が形成されている。また基板1の裏面全面には、ベース層5が形成

ができる。

【0032】セラミックス多孔体の気孔率は50%以上である。気孔率が50%よりも小さいと、セラミックス多孔体の材料としてアルミナを用いた場合、その比誘電率がシリカガラス(SiO_2)本来の比誘電率よりも大きくなり、従来のガラスからなる誘電体基板よりも低い比誘電率を実現することができないからである。

【0033】なお、セラミックス多孔体の材料としてアルミナ(Al_2O_3)、 Si_3N_4 、 SiO_2 を用いた場合、以下の表に示されるように原理的には、気孔率に従って比誘電率を低下させることが可能である。

【0034】

【表1】

されている。

【0040】基板1は、たとえば SiO_2 多孔体よりなっている。この SiO_2 多孔体は500℃以上の耐熱性を有している。またマイクロストリップライン3は、Au(金)をメタライズすることにより形成されている。またベース層5は、たとえばコパール板よりなっている。

【0041】基板1の長手方向の寸法は5mmであり、短手方向の寸法は2mmであり、厚みは0.25mmである。またマイクロストリップライン3の線幅は1mmである。またベース層5の厚みは0.1mmである。

【0042】実施例2

図4、図5および図6は、本発明の実施例2におけるマイクロストリップ基板の構成を概略的に示す斜視図、平面図および側面図である。図4〜図6を参照して、本実施例のマイクロストリップ基板の構成は、実施例1の構成と比較して、ベース層の構成が異なる。すなわち、ベース層は、ガラス基板17と、そのガラス基板17の表面および裏面に形成されたGNDメタライズ層15、19とを有している。ガラス基板17は、たとえば SiO_2 よりなっている。またGNDメタライズ層15、19は、たとえばAuをメタライズすることにより形成されている。

【0043】またベース層15、17、19の厚みの和は0.2mmである。なお、これ以外の構成については、実施例1とほぼ同様であるため同一の構成部材については同一の符号を付し、その説明は省略する。

【0044】次に、実施例1、実施例2、比較例1および比較例2について各々サンプルを試作し、各サンプル

について損失および引張強度を測定した。

【0045】① 実施例1のサンプルの作製方法
5mm×2mm×0.1mm²のコパール板を切り出し、表面にAuメッキを2μmの厚みで施した。

【0046】ケイ酸エチル[Si(OC₂H₅)₄]をエタノールで10倍に希釈し、これに水と触媒であるアンモニアを加えることによって、加水分解とゲル化を生じさせた。これにより、液相部分がアルコールよりなるシリカ湿潤ゲルを生成した。この得られたシリカ湿潤ゲルを、ガラスで作製した内のり5.1mm×2.1mm×0.35mm²の升の中にコパール板を入れた上に入れた。その升をオートクレーブ中で243℃、6.38MPaの条件下で超臨界乾燥を施した。

【0047】このようにして、得られた金属ベース付基板の表面にマスク蒸着法で、Auをメタライズすることによりマイクロストリップラインを形成した。これにより、マイクロストリップ基板のサンプルが完成した。

【0048】② 実施例2のサンプルの製造方法
ガラス板の表面および裏面に薄膜法によりAuメタライズを形成し、その二面のメタライズを導通させるため短辺側の両側面にもAuメタライズを施した。

【0049】このようにして形成されたベース層を、実施例1のコパール板の代わりに用い、実施例1と同一方

法および同一条件下でマイクロストリップ基板を形成した。

【0050】③ 比較例1のサンプルの製造方法
比較例1として表面にマイクロストリップライン、裏面全面にメタライズが各々形成されたSiO₂基板を用いた。

【0051】5mm×2mm×0.25mm²のSiO₂基板の裏面に全面メタライズを施し、表面に線幅0.5mmのマイクロストリップラインをAuメタライズで形成した。

【0052】④ 比較例2のサンプルの製造方法
比較例2として、表面にマイクロストリップラインが形成されたSiO₂多孔体単体を用いた。

【0053】5mm×2mm×0.25mm²のSiO₂多孔体の表面に線幅0.5mmのマイクロストリップラインをAuメタライズで形成した。

【0054】⑤ 測定方法および測定結果
上記のようにして得られた4つのサンプルについて各々ネットワークアナライザで損失を測定し、引張強度試験機により引張強度を測定した。その結果を以下の表に示す。

【0055】
【表2】

	損失 (@ 20GHz)	引 張 強 度
比較例1	-0.5dB	5kg
比較例2	-0.3dB	0.5kg
実施例1	-0.3dB	11kg
実施例2	-0.3dB	2kg

【0056】上の表から明らかなように、比較例1および2では損失および引張強度のいずれかが劣っているのに対し、実施例1および2は、損失および引張強度の双方について優れていることが判明した。

【0057】なお、本発明の実施例においては、基板1の材料には、セラミックス多孔体としてたとえばSiO₂の多孔体について説明したが、これ以外のSi₃N₄、Al₂O₃、AlNおよびMgOであってもよい。またこれらの材料の中から2種以上の材料を複合することによって得られた材料が用いられてもよい。また、セラミックス多孔体は、エアロゲルであってもよい。

【0058】

【発明の効果】請求項1～3に記載のマイクロストリップ基板では、基板材料としてセラミックス多孔体が用いられている。これにより、500℃以上の耐熱性を有する基板を提供することができる。また、セラミックス多

孔体の気孔率を制御することにより、従来例よりも小さい比誘電率を有する基板を実現することができる。

【0059】またセラミックス多孔体の気孔率を50%以上としたため、従来のガラスからなる誘電体基板よりも低い比誘電率を実現することができる。

【0060】また基板の裏面にベース層を設けたため、たとえば強度の低い多孔体を用いた場合でも組立時などのハンドリングに耐え得るだけの強度を確保することが可能となる。

【0061】請求項4に記載のマイクロストリップ基板では、セラミックス多孔体の気孔率が90%以下であるため、セラミックス多孔体の表面上に導体としてのメタライズ層を形成することが容易である。

【図面の簡単な説明】

【図1】本発明の実施例1におけるマイクロストリップ基板の構成を概略的に示す斜視図である。

【図2】本発明の実施例1におけるマイクロストリップ

基板の構成を概略的に示す平面図である。

【図 3】本発明の実施例 1 におけるマイクロストリップ基板の構成を概略的に示す側面図である。

【図 4】本発明の実施例 2 におけるマイクロストリップ基板の構成を概略的に示す斜視図である。

【図 5】本発明の実施例 2 におけるマイクロストリップ基板の構成を概略的に示す平面図である。

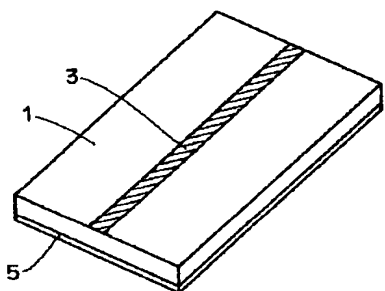
【図 6】本発明の実施例 2 におけるマイクロストリップ

基板の構成を概略的に示す側面図である。

【符号の説明】

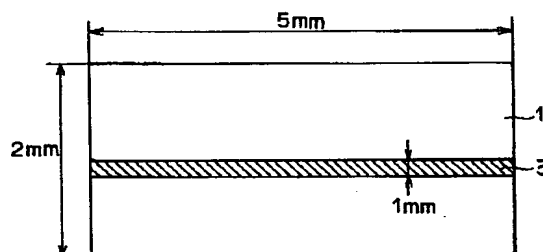
- 1 基板
- 3 マイクロストリップライン
- 5 ベース層
- 15, 19 GNDメタライズ層
- 17 ガラス基板

【図 1】

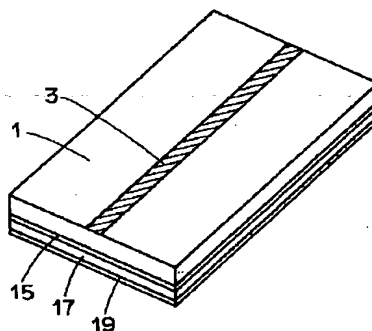


- 1: 基板
- 3: マイクロストリップライン
- 5: ベース層

【図 2】



【図 4】

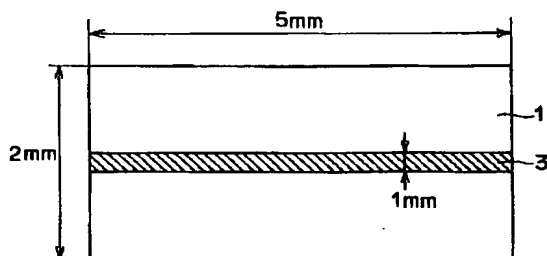


15: GNDメタライズ

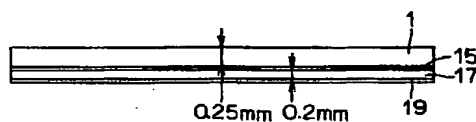
【図 3】



【図 5】



【図 6】



フロントページの続き

(51) Int. Cl.⁶

H 0 5 K 1/03

識別記号

6 3 0

庁内整理番号

7511-4 E

F I

H 0 5 K 1/03

技術表示箇所

6 3 0 G